

PAT-NO: JP409205178A
DOCUMENT-IDENTIFIER: JP 09205178 A
TITLE: SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE
PUBN-DATE: August 5, 1997

INVENTOR-INFORMATION:
NAME
SHIRAKAWA, KAZUHIKO

ASSIGNEE-INFORMATION:
NAME COUNTRY
SHARP CORP N/A

APPL-NO: JP08011687
APPL-DATE: January 26, 1996

INT-CL (IPC): H01L027/00, H01L027/04 , H01L021/822 ,
H01L021/338 , H01L029/812

ABSTRACT:

PROBLEM TO BE SOLVED: To make it possible to stereoscopically stack elements while excellent characteristics are maintained by disposing a support member for supporting an upper layer on the lower layer, and disposing a hollow region between the lower layer and the upper layer to reduce the influence of crosstalk.

SOLUTION: A polyimide resin 7 is uniformly laminated as an insulating film on a semi-insulating GaAs substrate 1, and a photo resist pattern 8 is formed

thereon. With the pattern 8 as a mask the resin 7 is anisotropically etched, and a plurality of polyimide resin posts 7a are formed as the support members. Via various steps, a metal film 11 for interconnection of spiral inductor is formed on the entire surface. The metal interconnection 11a of the spiral inductor is formed on the post 7a of the polyimide resin. Thus, since a hollow region exists between the MESFET and the inductor, high radiating effect is obtained.

COPYRIGHT: (C)1997, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-205178

(43)公開日 平成9年(1997)8月5日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/00	3 0 1		H 0 1 L 27/00	3 0 1 Y
27/04			27/04	L
21/822		9447-4M	29/80	B
21/338				
29/812				

審査請求 未請求 請求項の数4 OL (全 7 頁)

(21)出願番号 特願平8-11687

(22)出願日 平成8年(1996)1月26日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 白川 一彦

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

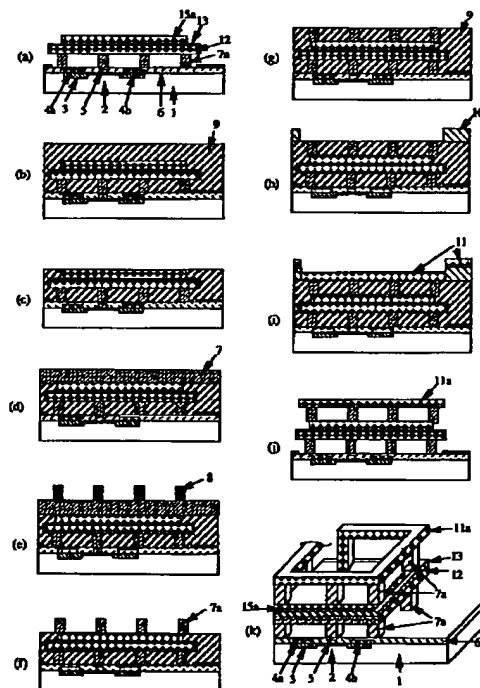
(74)代理人 弁理士 梅田 勝

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 マイクロ波集積回路において、チップサイズを縮小化するためスパイラルインダクタ等の受動素子を積層する場合、従来素子と素子の間は、絶縁膜を用いていたが、素子と素子の間の距離が狭いため、上部層の素子と下部層の素子とのクロストークによる素子の特性を悪化させるという問題や、スパイラルインダクタを積層する場合には十分なインダクタンスを得ることが難しいという問題があった。

【解決手段】 本発明の半導体装置は、下部層の素子の上に、複数の絶縁体の柱を有し、該絶縁体の柱の上に前記上部層の受動素子を有し、絶縁体の柱と柱の間は中空であることを特徴とする。また、同様の構造にて3層以上の素子の積層構造を製造することができる。



【特許請求の範囲】

【請求項1】 能動素子及び受動素子を備え、前記能動素子及び受動素子から任意のものを複数個組み合わせ、これらを積層するマイクロ波集積回路の半導体装置において、

能動素子あるいは受動素子が形成された下部層を有し、受動素子が形成された上部層を有し、

該上部層を支持する支持部材を前記下部層の上に有し、前記下部層と前記上部層の間に中空領域を有することを特徴とする半導体装置。

【請求項2】 上部層の上に、受動素子が形成された前記別上部層を有し、

前記別上部層を支持するための別の支持部材を有し、前記別上部層と前記上部層との間に中空領域を有することを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記受動素子はスパイラルインダクタを形成する金属配線であることを特徴とする請求項1、2に記載の半導体装置。

【請求項4】 能動素子あるいは受動素子が形成された下部層の上に、支持部材を形成する工程と、

該支持部材の高さまで樹脂にて埋め込む工程と、前記支持部材及び前記樹脂の上に受動素子が形成された上部層を作製する工程と、

前記樹脂を除去し、前記支持部材を残存させる工程とを有することを特徴とする請求項1～3に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置、特にGaAs基板を用いたモノリシックマイクロ波集積回路の半導体装置とその製造方法に関する。

【0002】

【従来の技術】従来例としてメタル・インシュレータ・メタルキャパシタ（以下、MIMキャパシタと記す。）上にスパイラルインダクタを積層する構造が、特開平6-169064号公報に示されている。同公報に記載の半導体装置を図7に示す。従来の半導体装置は、半絶縁性のGaAs基板表面に下層電極、キャパシタ絶縁膜、上層電極からなるMIMキャパシタを形成し、その上に絶縁膜を積層し、その絶縁膜上にスパイラルインダクタを形成している。図中に示すバイアホールは、基板表面のMIMキャパシタと裏面メタルとを接続する役割を果たす。又、半導体抵抗、金属抵抗は、整合回路やFET間結合回路として用いている。

【0003】

【発明が解決しようとする課題】従来の半導体装置では、MIMキャパシタとスパイラルインダクタの間の絶縁膜の厚さは、通常1μm程度であり、MIMキャパシタの上層電極とスパイラルインダクタとの距離が狭く、スパイラルインダクタは十分なインダクタンスを得るこ

とが難しい。十分なインダクタンスを得るために絶縁膜を厚くすると、絶縁膜が剥離し易い、あるいは絶縁膜にクラックが入り易い等の問題が生じ、実用的ではない。

【0004】更に、スパイラルインダクタ配線間の底部に存在する絶縁膜が容量成分となり、スパイラルインダクタ配線間の電磁気結合が強くなり、十分なインダクタンスを得ることが難しい。

【0005】インダクタンスが十分に得られないことは、共振周波数が低くなり、マイクロ波帯の周波数領域での使用が難しくなるという問題があった。

【0006】また、上部層の素子がスパイラルインダクタの時に限らず、上部層の素子と下部層の素子が近いことはクロストークの作用が働き、素子の特性を悪化させるという問題もあった。

【0007】本発明の目的は、上記問題点を解決する半導体装置とその製造方法を提供することである。

【0008】

【課題を解決するための手段】本発明に係る半導体装置は、能動素子及び受動素子を備え、前記能動素子及び受動素子から任意のものを複数個組み合わせ、これらを積層するマイクロ波集積回路の半導体装置において、能動素子あるいは受動素子が形成された下部層を有し、受動素子が形成された上部層を有し、該上部層を支持する支持部材を前記下部層の上に有し、前記下部層と前記上部層の間に中空を有することを特徴とする。

【0009】本発明に係る半導体装置は上部層の上に、更に別の上部層を支持するための支持部材を有し、受動素子が形成された前記別上部層を有し、該別上部層と前記上部層との間に中空領域を有する多層構造を特徴とする。

【0010】本発明に係る請求項1～3の半導体装置の製造方法は、能動素子あるいは受動素子が形成された下部層の上に、支持部材を形成する工程と、該支持部材の高さまで樹脂にて埋め込む工程と、前記支持部材及び前記樹脂の上に受動素子が形成された上部層を作製する工程と、前記樹脂を除去し、前記支持部材を残存させる工程とを有することを特徴とする。

【0011】

【発明の実施の形態】

（実施の形態1）本発明の実施の形態1として、半絶縁性GaAs基板表面に形成されたMESFET（Metal Semiconductor Field Effect Transistor）上にスパイラルインダクタを積層した例を図1に示す。

【0012】まず、通常のGaAs系MESFETのプロセスにて半絶縁性GaAs基板1にMESFET2を形成する。ここで、3はソース、ドレイン及びチャネルの不純物層、4aはソース電極、4bはドレイン電極、5はゲート電極、6は表面保護用の絶縁膜である。この構造の表面に絶縁膜としてポリイミド樹脂7を回転塗布

法により均一に $5\mu\text{m}$ 程度積層する。以上の工程終了後の半導体装置の断面図を図1(a)に示す。

【0013】次に、通常のフォトリソグラフィ法によって、ポリイミド樹脂7の上にフォトレジストパターン8を形成する。以上の工程終了後の半導体装置の断面図を図1(b)に示す。

【0014】次に、フォトレジストパターン8をマスクとしてポリイミド樹脂7を反応性イオンエッチング法（以下、RIE法と記す）によって異方性エッチングを行い、支持部材として複数のポリイミド樹脂の柱7aを形成する。ここで、ポリイミド樹脂の柱7aの間隔は $50\mu\text{m}$ とした。以上の工程終了後の半導体装置の断面図を図1(c)に示す。異方性エッチングが行えるエッチング方法であれば、他の電子サイクロトロンエッチング法等でも構わない。

【0015】図1(c)に示される構造の表面全面にフォトレジスト9を回転塗布法により、均一に塗布を行い、ポリイミド樹脂の柱7aを完全に埋めこんで平坦化する。以上の工程終了後の半導体装置の断面図を図1(d)に示す。

【0016】次に、埋め込み平坦化に用いたフォトレジスト9をRIE法によってエッチバックを行い、ポリイミド樹脂の柱7aの表面が露出するまで、エッチングを行う。以上の工程終了後の半導体装置の断面図を図1(e)に示す。

【0017】次に、スパイラルインダクタの配線用のフォトレジストパターン10を形成する。以上の工程終了後の半導体装置の断面図を図1(f)に示す。尚、図示はしていないがMESFETとスパイラルインダクタを接続する方法は、この工程においてフォトレジスト9と保護膜6にコンタクトホールをあけることで行う。

【0018】次に、スパイラルインダクタの配線用の金属膜11を蒸着法により全面に約 $2\mu\text{m}$ 成膜する。以上の工程終了後の半導体装置の断面図を図1(g)に示す。

【0019】最後に、埋め込み平坦化に使用したフォトレジスト9と配線用のフォトレジストパターン10を有機溶剤で溶解し、ポリイミド樹脂の柱7aを残存させ、フォトレジストパターン10上の金属膜をリフトオフすることで、ポリイミド樹脂の柱7aの支柱の上にスパイラルインダクタの金属配線11aを形成する。以上の工程終了後の半導体装置の断面図を図1(h)に示す。また、この半導体装置の斜視図を図1(i)に示す。

【0020】本発明の半導体装置の構造では、MESFETとスパイラルインダクタとの間に中空を有するので高い放熱効果が得られる。

【0021】また、スパイラルインダクタの下は中空となっており、誘電率が低いので、十分なインダクタンスを得ることができる。また、ポリイミドの樹脂の柱の高さを変えるだけで、上部層の素子と下部層の素子との距

離を長くすることができ、スパイラルインダクタは十分なインダクタンスを得ることができる。

【0022】（実施の形態2）本発明の実施の形態2として、半絶縁性GaAs基板表面に形成されたMESFET上にスパイラルインダクタを2層積層した例を図2に示す。

【0023】まず、図1(h)の工程まで実施例1と同様に作製し、この構造の表面全面にフォトレジスト9を回転塗布法により均一に塗布を行い、実施の形態1に記載の半導体装置を完全に埋めこんで平坦化する。以上の工程終了後の半導体装置の断面図を図2(a)に示す。

【0024】次に、埋め込み平坦化に用いたフォトレジスト9をRIEによってエッチバックを行い、第1のスパイラルインダクタの金属配線11aの表面が露出するまで、エッチングを行う。以上の工程終了後の半導体装置の断面図を図2(b)に示す。

【0025】これ以降、実施の形態1の図1(a)～(h)と同様の製造方法にて、第2のスパイラルインダクタを絶縁体の柱上に作製する。これらの工程の半導体装置の断面図を図2(c)～(h)に示す。

【0026】以上の工程にて、半絶縁性GaAs基板表面に形成されたMESFET上にスパイラルインダクタを2層積層した半導体装置を作製できる。また、この半導体装置の斜視図を図2(i)に示す。

【0027】本実施の形態のように、本発明の製造方法で多層に積層することができる。

【0028】また、第2のスパイラルインダクタは、実施の形態1と同様にコンタクトホールをあけることでMESFETや第1のスパイラルインダクタと接続を行う。

【0029】（実施の形態3）本発明の実施の形態3として、半絶縁性GaAs基板表面に形成されたMESFET上にMIMキャパシタを積層した例を図3に示す。

【0030】まず、実施の形態1の図1(a)～図1(h)の工程と同様に作製する。ただし、図1(f)に示される配線用のフォトレジストパターン10の代わりにMIMキャパシタの下層電極形成用のフォトレジストパターンとし、スパイラルインダクタとしての金属膜11の代わりにMIMキャパシタの下層電極用の金属膜12とする。以上の工程終了後の半導体装置の断面図を図3(a)に示す。

【0031】次に、この構造の表面全面にMIMキャパシタの誘電膜としてSIN膜13をプラズマCVDによって成膜する。以上の工程終了後の半導体装置の断面図を図3(b)に示す。

【0032】次に、この構造を形成した側の表面全面にフォトレジスト9を回転塗布法により均一に塗布を行い、この工程までに作製された半導体装置を完全に埋め込んで平坦化する。以上の工程終了後の半導体装置の断面図を図3(c)に示す。

5

【0033】次に、埋め込み平坦化に用いたフォトレジスト9をRIEによってエッチバックを行い、MIMキャパシタの絶縁膜としてSiN膜13の表面が露出するまで、エッチングを行う。以上の工程終了後の半導体装置の断面図を図3(d)に示す。

【0034】次に、MIMキャパシタの上部電極形成用のフォトレジストパターン14を形成する。以上の工程終了後の半導体装置の断面図を図3(e)に示す。

【0035】次に、MIMキャパシタの上部電極用の金属膜15を蒸着法により全面に成膜する。以上の工程終了後の半導体装置の断面図を図3(f)に示す。

【0036】最後に、埋め込み平坦化に使用したフォトレジスト9とMIMキャパシタの上部電極用のフォトレジストパターン14を有機溶剤で溶解し、ポリイミド樹脂の柱7aを残存させ、MIMキャパシタの上部電極用のフォトレジストパターン14上の金属膜15をリフトオフすることで、MIMキャパシタの上部電極の金属膜15aが形成できる。以上の工程を経て、ポリイミド樹脂の柱7aを支柱としてMIMキャパシタを積層した半導体装置を作製した。実施の形態3で作製した半導体装置の断面図を図3(g)に示す。また、この半導体装置の斜視図を図3(h)に示す。

【0037】図示しないがMIMキャパシタとMESFETは、実施の形態1と同様にコンタクトホールをあけることで接続を行う。

【0038】(実施の形態4) 本発明の実施の形態4として、半絶縁性GaAs基板表面に形成されたMESFET上にMIMキャパシタを2層積層した例を図4、図5に示す。

【0039】まず、実施の形態3の図3(h)までの工程と同様に作製する。以上の工程終了後の半導体装置の断面図を図4(a)に示す。

【0040】次に、実施の形態2の図2(a)～(h)と同様な方法で作製する。ただし、実施の形態2でのスパイラルインダクタの代わりに、実施の形態3に記載の作製方法でMIMキャパシタを作製する。それらの工程における断面図を図4(b)～(j)、図5(k)～(m)に示す。

【0041】以上の工程終了後、半絶縁性GaAs基板表面に形成されたMESFET上にMIMキャパシタを2層積層した半導体装置を作製できる。また、この半導体装置の斜視図を図5(n)に示す。

【0042】(実施の形態5) 本発明の実施の形態5として、半絶縁性GaAs基板表面に形成されたMESFET上にMIMキャパシタを積層し、更にその上にスパイラルインダクタを積層した例を図6に示す。

【0043】本実施の形態5の製造方法は、実施の形態3の図3(h)の工程までと同様に作製し、MIMキャパシタを積層した後、図2(a)～(h)と同様な方法でMIMキャパシタの上にスパイラルインダクタを形成

6

する。実施の形態5の半導体装置の製造工程の断面図は図6(a)～図6(j)に示し、この半導体装置の斜視図を図6(k)に示す。

【0044】本実施の形態では絶縁体の柱としてポリイミド樹脂を用いたが、比較的低温で成膜できて、埋め込み平坦化に使用するフォトレジスト9と配線用のフォトレジスト10、更にこれらの溶解させる有機溶剤に対して、耐溶解性を有する膜を選択するのであれば、例えばSiN膜、SiO₂膜、SiON膜、PSG膜、BPSG膜等を使用しても構わない。更に、整合回路として必要なインダクタンスを得るために絶縁体の柱の誘電率は低い方が望ましい。

【0045】また、本実施例では、能動素子としてMESFETを使用した。他のHEMT(High Electron Mobility Transistor)やHBT(Hetero Bipolar Transistor)でも本発明の方法が適用できる。本実施の形態では上部層に受動素子を形成し、一番下の下部層にMESFETを形成した層を用いたが、下部層も上部層も受動素子を形成した層でもかまわない。

【0046】また、本実施の形態の積層構造ではMESFETを形成した層の上に2層まで積層したが、本発明の方法のくり返しによって更に3層、4層と重ねることも可能である。そのため、3次元的にマイクロ波集積回路が構成できるので回路構成の自由度が高くなる。

【0047】

【発明の効果】本発明によれば、素子を形成した上部層と下部層との間が中空であることからクロストークの影響が少なく、良好な素子特性のまま立体的に積層することができる。そのため、半導体装置の小型化に寄与する。

【0048】特に、スパイラルインダクタを積層する際には、十分なインダクタンスを得ることができる。

【0049】また、素子を形成した上部層と下部層との間に中空を有することは、放熱効果を高めることができる利点を有している。

【図面の簡単な説明】

【図1】本発明に係るMESFETの上にスパイラルインダクタを積層する半導体装置の製造工程を示す図である。

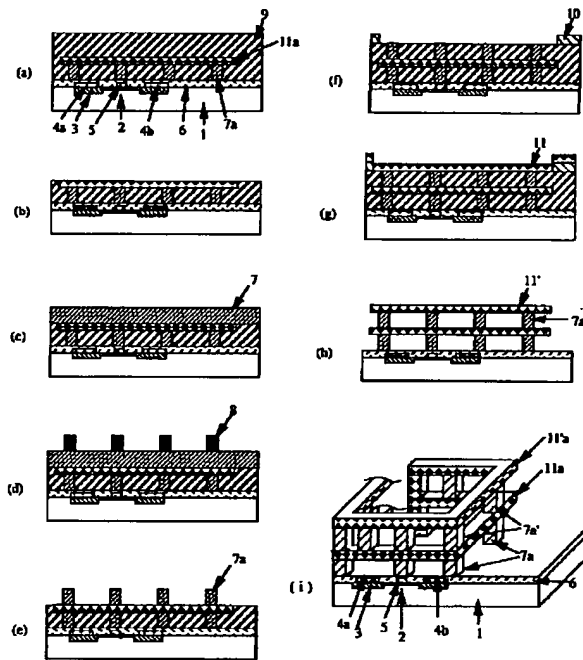
【図2】本発明に係るMESFETの上にスパイラルインダクタを2層積層する半導体装置の製造工程を示す図である。

【図3】本発明に係るMESFETの上にMIMキャパシタを積層する半導体装置の製造工程を示す図である。

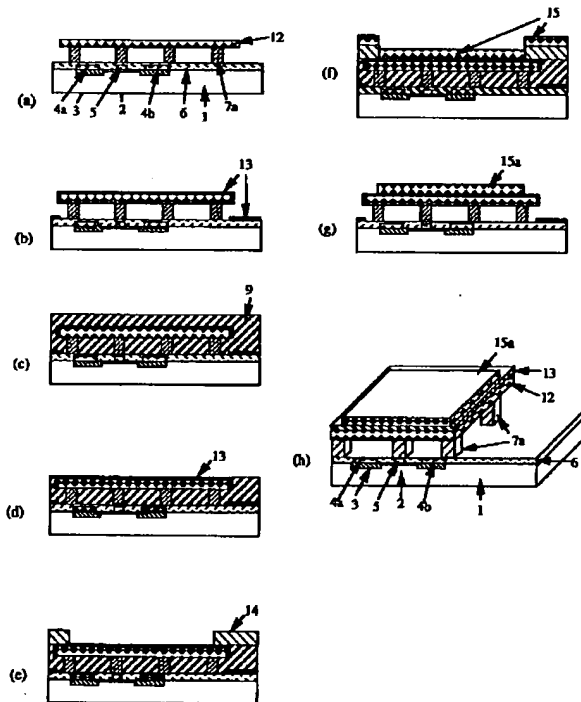
【図4】本発明に係るMESFETの上にMIMキャパシタを2層積層する半導体装置の製造工程を示す図である。

【図5】本発明に係るMESFETの上にMIMキャパシタを2層積層する半導体装置の図4に示す工程から続

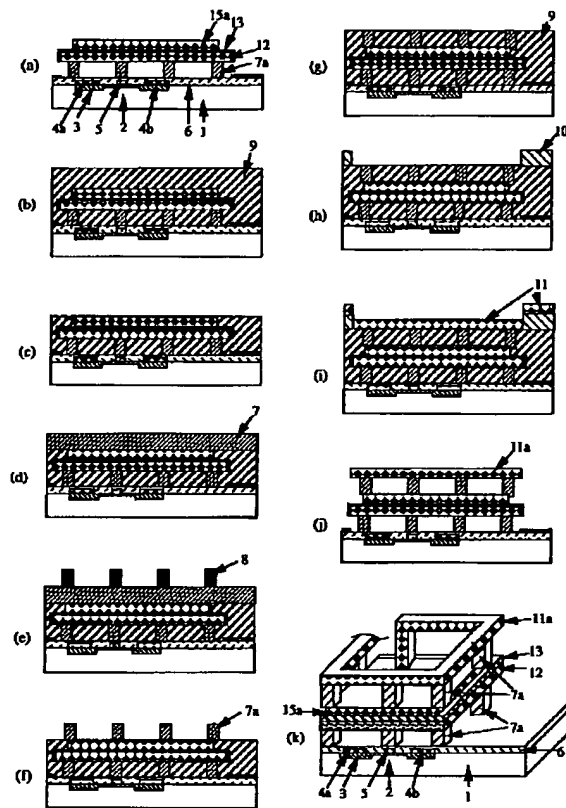
【図2】



【図3】



【図6】



【図5】

